

## BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-176877

(P2001-176877A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl.

識別番号

FI

ナント\* (参考)

H01L 21/3205  
21/768H01L 21/88  
21/90K 5F03H  
C

特許請求 未請求 請求項の数10 OL (全 8 頁)

(21) 出願番号

特願平11-359344

(22) 出願日

平成11年12月17日 (1999.12.17)

(71) 出願人 000006049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者

下村 奈良和

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人

100008248

弁理士 野村 信太郎

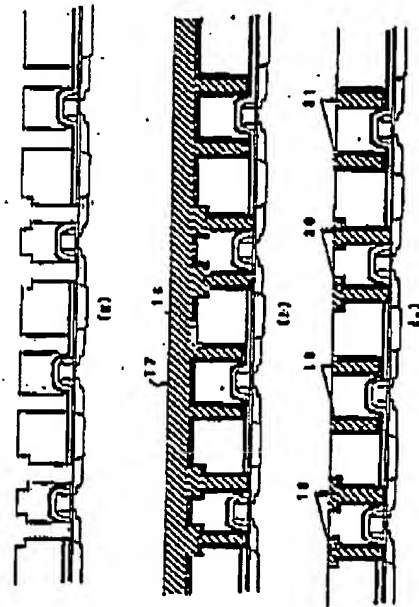
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 TATを長くすることなく、コンタクトホール内に導電層を埋め込み、配線層による発熱も小さくすることができる半導体装置の製造方法を提供することを課題とする。

【解決手段】 半導体基板上に形成された複数の半導体素子を覆う層間絶縁膜の途中までかつ半導体素子の所定領域上に開口部を形成する工程と、所定の開口部下部に残存する層間絶縁膜を除去することでコンタクトホールを形成すると共に開口部上部を包含する埋め込み配線層形成用開口部を形成するデュアルグマシ工程と、コンタクトホール及び埋め込み配線層形成用開口部を少なくとも埋め込むように導電層を層間絶縁膜上に形成する工程と、層間絶縁膜上の導電層を除去することで、コンタクトプラグと埋め込み配線層を形成する工程とを含むことを特徴とする半導体装置の製造方法により上記の課題を解決する。



(2) 001-176877 (P2001-176877A)

## 【特許請求の範囲】

【請求項1】 半導体基板上に形成された複数の半導体素子を覆う層間絶縁膜の途中までかつ半導体素子の所定領域上に開口部を形成する工程と、

所定の開口部下部に残存する層間絶縁膜を除去することでコンタクトホールを形成すると共に開口部上部を包含する埋め込み配線層形成用開口部を形成するデュアルダマシン工程と、

コンタクトホール及び埋め込み配線層形成用開口部を少なくとも埋め込むように導電層を層間絶縁膜上に形成する工程と、

層間絶縁膜上の導電層を除去することで、コンタクトプラグと埋め込み配線層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 導電層が、層間絶縁膜上、コンタクトホールの壁面及び埋め込み配線層形成用開口部壁面に形成された第1導電層と、その上に形成された第2導電層の積層体からなり、第1導電層が、Co、Ti、Ta、W又はPdからなる導膜とMo、Ta、Ti、W又はZrの窒化物又は窒素化合物からなる導膜の2層からなる請求項1に記載の製造方法。

【請求項3】 導電層が、層間絶縁膜上、コンタクトホールの壁面及び埋め込み配線層形成用開口部壁面に形成された第1導電層と、その上に形成された第2導電層の積層体からなり、第2導電層が、CVD法又はメッキ法により形成されるCu又はその合金からなる層である請求項1に記載の製造方法。

【請求項4】 第2導電層が、CuとZr、Cr、Sn又はBeとの合金からなる層である請求項3に記載の製造方法。

【請求項5】 層間絶縁膜上の導電層が、化学機械研磨法により除去される請求項1に記載の製造方法。

【請求項6】 層間絶縁膜上の導電層の除去後の層間絶縁膜と埋め込み配線層とからなる平面が、実質的に平坦である請求項1に記載の製造方法。

【請求項7】 導電層が第1導電層、第2導電層及び第3導電層とからなり、コンタクトプラグと埋め込み配線層が、層間絶縁膜上、コンタクトホールの壁面及び埋め込み配線層形成用開口部壁面に第1導電層を形成する工程と、第1導電層上に第2導電層を形成する工程と、層間絶縁膜上と配線層形成用開口部の第2導電層を除去することで、コンタクトプラグを形成する工程と、埋め込み配線層形成用開口部を少なくとも埋め込むように第3導電層を層間絶縁膜上に形成する工程と、層間絶縁膜上の第3導電層を除去することで、埋め込み配線層を形成する工程により形成される請求項1に記載の製造方法。

【請求項8】 第2導電層がWからなる層であり、その除去がドライエッチングによるエッチバックにより行われる請求項7に記載の製造方法。

【請求項9】 第3導電層が、Alからなる層又はAl

/TiN/Tiからなる積層体である請求項7に記載の製造方法。

【請求項10】 半導体装置が、ゲートアレイデバイス又はASICである請求項1に記載の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関する。更に詳しくは、本発明は、半導体装置が製品化されるまでの期間（以下、TATと称する）の短縮が要求されるゲートアレイデバイスやASIC等の半導体装置の製造方法に関する。

【0002】

【従来の技術】 ゲートアレイデバイスやASICは、半導体基板上に複数のトランジスタを形成したマスターチップを作成しておき、必要なトランジスタを配線接続することでユーザーの所望する仕様となる半導体装置である。

【0003】 このような半導体装置に対して、近年TATを短縮する要求が高くなっている。その一方で、ユーザーの仕様が高性能になるに従って、半導体装置もサブミクロンプロセスを使用した微細化が進み、更に3～6層の配線層を備えるといった多層配線化が進んでおり、これらはTATを長くする要因となっている。

【0004】 微細化及び多層配線化に対応し、高い接続信頼性を維持しながら、TATを短縮する方法が提案されている。例えば、特開平6-236875号公報には、次の方法が記載されている。

【0005】 まず、図6(a)に示すように、予め複数のコンタクトホールを開口し、これらのコンタクトホールの大部分を導電層222で埋め込んだ後、残りのコンタクトホールを絶縁膜223で埋め込む。次に、図6(b)に示すように、ユーザーの仕様決定後に、導電層222が埋め込まれたコンタクトホール内、必要な箇所のみを絶縁膜223をフォトリソグラフィ工程及びエッチング工程により除去して、配線層217を形成する方法である。なお、図中、201は素子分離領域、202はゲート絶縁膜、203はゲート電極、204及び205は低濃度不純物領域、207及び208は高濃度不純物領域、211は層間絶縁膜を意味する。

【0006】 この方法では、コンタクトホール内に導電層を埋め込んでおくことにより、微細化（即ち、コンタクトホールのアスペクト比が大きくなること）に伴って発生しやすくなるコンタクト抵抗の増加や接続の信頼性の低下を防止している。

【0007】

【発明が解決しようとする課題】 しかしながら、上記方法では、ユーザーの仕様決定後に、必要な箇所のコンタクトホール上の絶縁膜の除去と、メタル配線の形成をそれぞれ行うことが必要となる。そのため、フォトリソグラフィ工程及びエッチング工程を2回ずつ行う必要が

I(3) 001-176877 (P2001-176877A)

生じる。従って、TATが長くなるという問題がある。

【0008】更に、メタル配線形成後、その上に配線層を多層形成する場合、メタル配線による段差が存在するため、メタル配線とその上の配線層間の上面が平坦な層間絶縁膜の形成する工程が複雑になるという問題もある。なお、メタル配線により形成される段差は、そこに流れる電流密度に依存するが、通常 $0.5\mu\text{m}$ 程度の高さとなり、多層配線化の妨げとなっている。

【0009】従って、今後、半導体装置の微細化及び多層配線化が進むにつれ、

(a) コンタクトホール内に導電層を埋め込むことにより、高い接続信頼性を保持する。

(b) メタル配線による段差をできるだけ小さくすることで平坦性を向上させ、その上に形成される配線層の形成を容易にする。

(c) TATを短縮する。

という要求はますます強くなると考えられる。

【0010】

【課題を解決するための手段】上記課題を鑑み、本発明の発明者は、TATを長くすることなく、コンタクトホール内に導電層を埋め込み、配線層による段差も小さくすることが出来る半導体装置の製造方法を見出し本発明に至った。

【0011】かくして本発明によれば、半導体基板上に形成された複数の半導体素子を覆う層間絶縁膜の途中までかつ半導体素子の所定領域上に開口部を形成する工程と、所定の開口部下部に残存する層間絶縁膜を除去することでコンタクトホールを形成すると共に開口部上部を包含する埋め込み配線層形成用開口部を形成するデュアルダマシン工程と、コンタクトホール及び埋め込み配線層形成用開口部を少なくとも埋め込むように導電層を層間絶縁膜上に形成する工程と、層間絶縁膜上の導電層を除去することで、コンタクトプラグと埋め込み配線層を形成する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【0012】

【発明の実施の形態】以下、実施の形態により本発明を更に具体的に説明するが、本発明はこれらに限定されるものではない。

【0013】実施の形態1

図1(a)～(c)、図2(d)～(f)及び図3(g)～(i)に基づいて本発明を説明する。これら図は、同一基板上に4個の半導体素子としてのトランジスタが形成された例を示しており、左側の2個のトランジスタがN型MOSトランジスタ（以下、NMOSと称する）を、右側の2個がP型MOSトランジスタ（以下、PMOSと称する）をそれぞれ意味している。なお、この実施の形態では、半導体素子がトランジスタである例を示しているが、トランジスタに限定されず、抵抗素子や容量素子等も半導体素子に含まれる。

【0014】まず、図1(a)に示すように、半導体基板の表面層に形成された厚さ約 $0.2\sim0.6\mu\text{m}$ （例えば、約 $0.4\mu\text{m}$ ）の $\text{SiO}_2$ 膜1からなる素子分離領域間の半導体基板上に厚さ約 $0.005\sim0.02\mu\text{m}$ （例えば、約 $0.01\mu\text{m}$ ）のゲート絶縁膜2を形成する。ゲート絶縁膜としては、シリコン酸化膜、シリコン窒化膜又はそれらの積層体が挙げられる。ゲート絶縁膜2上にゲート電極形成用の導体膜を厚さ約 $0.1\sim0.3\mu\text{m}$ （例えば、約 $0.2\mu\text{m}$ ）堆積させた後、導体膜をフォトリソグラフィ工程及びエッチング工程に付すことでゲート電極3を形成する。ゲート電極形成用の導体膜としては、高濃度に不純物を拡散したポリシリコン膜やポリサイド膜等が挙げられる。

【0015】次に、図1(b)に示すように、フォトリソグラフィ工程により所定領域をフォトマスクで覆った後、ゲート電極3とフォトマスクを介して、半導体基板上に不純物をイオン注入することにより、N型不純物拡散層4とP型不純物拡散層5を形成する。更に、公知の方法で $\text{SiO}_2$ 膜や $\text{Si}_3\text{N}_4$ 膜からなるサイドウォールスペーサ6をゲート電極3の側壁に形成する。次いで、フォトリソグラフィ工程により所定領域をフォトマスクで覆った後、ゲート電極3、サイドウォールスペーサ6とフォトマスクを介して、半導体基板上に不純物をイオン注入することにより、N型不純物拡散層7とP型不純物拡散層8を形成する。この後、注入された不純物を活性化するために、約 $700\sim850^\circ\text{C}$ 、約 $30\sim60$ 分間（例えば、約 $800^\circ\text{C}$ 、 $60$ 分間）アニール処理を行うことが好ましい。これら工程によりトランジスタを形成することができる。

【0016】次に、トランジスタを覆うように層間絶縁膜が形成される。層間絶縁膜の上面は平坦化されていることが好ましい。層間絶縁膜としては、例えば、ボロンやリン等の不純物を含むか含まない $\text{SiO}_2$ 膜をCVD法により堆積した後、約 $850\sim900^\circ\text{C}$ でリフローすることにより平坦化した膜や、不純物を含むか含まない $\text{SiO}_2$ 膜をCVD法により堆積した後、化学機械研磨（CMP）法で平坦化した膜等が挙げられる。CMP法の条件例としては、下記条件が挙げられる。但し、下記条件は単なる例示であって、層間絶縁膜、研磨布及び研磨剤の種類に応じて適宜変更される条件である。

研磨布圧力 :  $1\text{psl}$   
 研磨布回転数 :  $28\text{rpm}$   
 ウェハ圧力 :  $7\text{psl}$   
 ウェハ回転数 :  $32\text{rpm}$   
 研磨剤 : シリカ系

なお、以下で説明するように、層間絶縁膜は途中で開口部を形成するが、この形成を容易にするために、層間絶縁膜中に膜膜と異なる材料からなる膜を挟むことが好ましい。そのような膜として、 $\text{Si}_3\text{N}_4$ 膜や $\text{SiON}$ 膜等が挙げられる。

I(4) 001-176877 (P2001-176877A)

【0017】具体的には、図1(c)に示すように、層間絶縁膜として、全面に厚さ約0.1~0.2 $\mu$ mからなるSiO<sub>2</sub>膜9、厚さ約0.01~0.02 $\mu$ mからなるSi<sub>3</sub>N<sub>4</sub>膜やSiON膜10、厚さ約0.9~1.1 $\mu$ mからなるSiO<sub>2</sub>膜11をこの順でCVD法により形成する。

【0018】次に、半導体基板上に形成された複数の半導体素子を覆う層間絶縁膜の途中まで開口部を形成する。この開口部は、半導体素子の電気的な導通に必要な所定領域上に形成される。具体的には、図2(d)に示すように、フォトリソグラフィ工程及びエッチング工程により、N型不純物拡散層7とP型不純物拡散層8上のSiO<sub>2</sub>膜11に開口部を形成する。なお、開口部の底部には、SiO<sub>2</sub>膜9及びSi<sub>3</sub>N<sub>4</sub>膜やSiON膜10が存在し、半導体基板は露出していない。即ち、Si<sub>3</sub>N<sub>4</sub>膜やSiON膜10はエッチングストッパーとしての役割を果たしている。

【0019】ここで開口部は以下の工程でコンタクトホールを形成するものであるが、この開口部のレイアウトは、ユーザー個々の仕様を満足するようものである必要はなく、不特定多数のユーザーの仕様を満足するように、将来接続する可能性のあるコンタクトホールを包含するようにレイアウトすることができる。なお、図2(d)中、24はフォトマスクを意味している。

【0020】次に、図2(e)に示すように、フォトマスク24を除去することにより、底部で半導体基板が露出してない、コンタクトホール形成用の開口部を備えたマスターチップを形成することができる。このマスターチップは、以降の工程を経ることで、個々のユーザーに対応した仕様を形成することができる。

【0021】次に、所定の開口部下部に残存する層間絶縁膜を除去することでコンタクトホールを形成すると共に開口部の表面層に埋め込み配線層形成用開口部を形成する。この工程はデュアルダマシン工程と通常称される。

【0022】具体的には、まず、図2(f)に示すように、ユーザーの仕様が決定した後、その仕様にあわせた配線パターンを反映するフォトマスク24を形成する。このフォトマスク24は、ユーザー仕様に沿った接続が必要な開口部12と14に開口を有し、接続が不要な開口部13と15を覆っている。

【0023】この後、図3(g)に示すように、フォトマスク24を用いて、開口部下部に残存するSiO<sub>2</sub>膜9及びSi<sub>3</sub>N<sub>4</sub>膜やSiON膜10を除去することで、コンタクトホールを形成することができる。更に、コンタクトホールの形成と同時に、SiO<sub>2</sub>膜11の表面層に埋め込み配線層形成用開口部を所定深さ(埋め込み配線層が形成しうる深さ)で形成することができる。所定深さとは、所望する配線層の電流密度により異なるが、通常約0.4~0.8 $\mu$ mである。

【0024】コンタクトホール及び配線層形成用開口部は、例えば、反応性イオンエッチングのような異方向性のエッチング法により形成することが好ましい。具体的には、反応性イオンエッチングは、CF<sub>4</sub>、CHF<sub>3</sub>、Ar等のエッチングガスを使用し、圧力を例えば、約250 Torr、RFパワーを例えば、約40Wの条件下で行うことができる。

【0025】次に、コンタクトホール及び埋め込み配線層形成用開口部を少なくとも埋め込むように導電層を層間絶縁膜上に形成する。この導電層は、一層であってもよいが、複数層からなってもよい。

【0026】具体的には、図3(h)に示すように、スパッター法により第1導電層16を約10~50nmの厚さで形成した後、CVD法又はメッキ法により第2導電層17を約0.8~1 $\mu$ mの厚さで形成することができる。ここで、第1導電層としては、Co、Ti、Ta、W又はPdからなる薄膜とMo、Ta、Ti、W又はZrの窒化物又は窒素酸化物からなる薄膜の2層を使用することが好ましい。一方、第2導電層としては、Cu又はその合金からなる層を使用することが好ましい。Cu合金としては、CuとZr、Cr、Sn又はBeとの合金が挙げられる。Cu合金中の他の金属の濃度は、約0.2~0.6重量%であることが好ましい。

【0027】次に、層間絶縁膜上の導電層を除去することで、コンタクトプラグと埋め込み配線層を形成する。具体的には、図3(i)に示すように、例えば、CMP法で、SiO<sub>2</sub>膜11上に存在する第1導電層16と第2導電層17を、SiO<sub>2</sub>膜11の上面が露出するまで研磨することにより、コンタクトプラグと埋め込み配線層を形成することができる。

【0028】CMP法の条件例としては、下記条件が挙げられる。但し、下記条件は単なる例示であって、層間絶縁膜、研磨布及び研磨剤の種類に応じて適宜変更される条件である。

研磨布圧力 : 1~1.5 psi

研磨布回転数 : 30~35 rpm

ウェハ圧力 : 1~1.5 psi

ウェハ回転数 : 30~35 rpm

研磨剤 : NH<sub>4</sub>OHベースシリカ系

上記工程によりユーザー仕様に沿った半導体装置を製造することができる。本実施の形態では、メタル配線(コンタクトプラグと埋め込み配線層を含む概念)18と20はユーザー仕様に沿ったトランジスタに接続された有効な配線であり、メタル配線19及び21は接続されていない無効な配線である。得られた半導体装置は、コンタクトホール内には導電層が埋め込まれているので、高い接続信頼性を有している。また、配線層は層間絶縁膜に埋め込まれて形成されているので、層間絶縁膜の上面で、実質的な段差は形成されない。そのため、更にこの半導体装置上への配線層の形成が容易となる。

I(5) 001-176877 (P2001-176877A)

## 【0029】実施の形態2

図4(a)と(b)及び図5(c)と(d)に基づいて本発明を説明する。

【0030】実施の形態1の図3(g)まで同様の工程を繰り返す。

【0031】次に、図3(h)と同様に、スパッター法により第1導電層101を約10～50nmの厚さで形成した後、CVD法又はメッキ法により第2導電層102を約0.5～0.6μmの厚さで形成する(図4(a)参照)。ここで、第2導電層としては、Wを使用することが好ましい。

【0032】次に、図4(b)に示すように、例えば、反応性イオンエッチングのような異方性のエッチング法により第2導電層102をエッチバックする。具体的には、反応性イオンエッチングは、エッチングガスとしてSF<sub>6</sub>(流量110sccm)、Ar(流量90sccm)及びHe(流量10sccm)を使用し、圧力を例えば、約265mTorr、RFパワーを例えば、約300Wの条件下で行うことができる。このエッチバックにより、配線層形成用開口部の底部に存在する第1導電層101が露出すると共にコンタクトプラグが形成される。

【0033】更に、SiO<sub>2</sub>膜11の上層が露出するまで第1導電層101を、例えば、反応性イオンエッチングのような異方性のエッチング法によりエッチバックする。

【0034】エッチバックの条件例としては、CF<sub>4</sub>、BCl<sub>3</sub>、Cl<sub>2</sub>、Ar等のエッチングガスを使用し、圧力を例えば約2Pa、RFパワーを例えば約40Wで行うことができる。但し、前記条件は単なる例示であって、層間絶縁膜、第1導電層及びエッチングガスの種類に応じて適宜変更される条件である。

【0035】上記エッチバックでは、第1導電層の厚さの1.5倍程度の厚さを除去することが好ましい。

【0036】次に、図5(e)に示すように、CVD法やスパッター法により第3導電層103を形成する。第3導電層としては、Alからなる層又は上からAl/TiN/Tiからなる積層体が挙げられる。第3導電層の厚さは、Alからなる層の場合は約0.6～1.5μm(例えば、約1μm)、Al/TiN/Tiからなる積層体の場合は約0.6～1.5μm/約5～25nm/約5～25nm(例えば、約1μm/約15nm/約15nm)である。

【0037】次に、SiO<sub>2</sub>膜11の上層が露出するまで第3導電層103を、例えば、反応性イオンエッチングのような異方性のエッチング法によりエッチバックすることで埋め込み配線層を形成する(図5(d)参照)。

【0038】エッチバックの条件例としては、下記条件が挙げられる。但し、下記条件は単なる例示であって、

層間絶縁膜、第3導電層及びエッチングガスの種類に応じて適宜変更される条件である。

ArとCH<sub>4</sub>の混合ガス：200sccm  
BCl<sub>3</sub>：40sccm  
Cl<sub>2</sub>：160sccm  
RFパワー：40～60W  
圧力：1～2Pa

上記工程によりユーザー仕様に基づいた半導体装置を製造することができる。本実施の形態では、メタル配線104と106はユーザー仕様に基くトランジスタに接続された有効な配線であり、メタル配線105及び107は接続されていない無効な配線である。

## 【0039】

【発明の効果】本発明の製造方法では、配線層がユーザーの仕様決定後に各1回のフォトリソグラフィ工程及びエッチング工程で形成できるので、TATを短縮することができる。また、コンタクトホール内に導電層が埋め込まれているため、高い接続信頼性を確保することができる。更に、配線層が層間絶縁膜に埋め込まれて形成されるので、配線層による段差が実質的に形成されていないことから、この配線層上に段差による影響のない多層配線層を形成することが容易となる。

## 【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の概略工程断面図である。

【図2】本発明の半導体装置の製造方法の概略工程断面図である。

【図3】本発明の半導体装置の製造方法の概略工程断面図である。

【図4】本発明の半導体装置の製造方法の概略工程断面図である。

【図5】本発明の半導体装置の製造方法の概略工程断面図である。

【図6】従来の半導体装置の製造方法の概略工程断面図である。

## 【符号の説明】

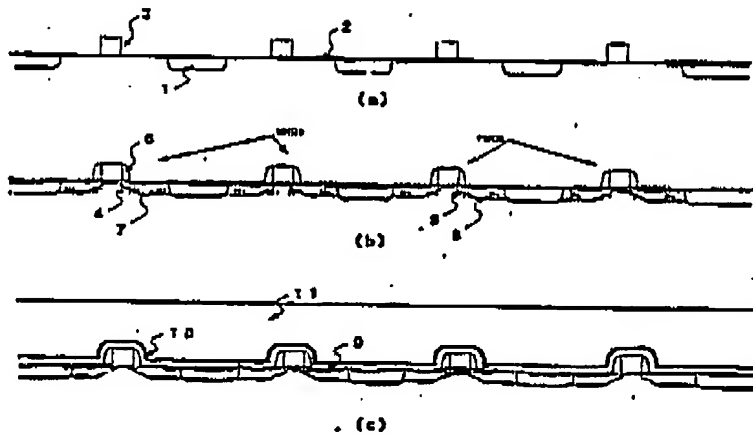
- 1、9、11 SiO<sub>2</sub>膜
- 2、202 ゲート絶縁膜
- 3、203 ゲート電極
- 4 N<sup>+</sup>型不純物拡散層
- 5 P<sup>+</sup>型不純物拡散層
- 6 サイドウォールスペーサー
- 7 N<sup>+</sup>型不純物拡散層
- 8 P<sup>+</sup>型不純物拡散層
- 10 Si<sub>3</sub>N<sub>4</sub>膜やSiON膜
- 12、13、14、15 開口部
- 16、101 第1導電層
- 17、102 第2導電層
- 24 フォトマスク
- 18、19、20、21、104、105、106、1

I(6) 001-176877 (P2001-176877A)

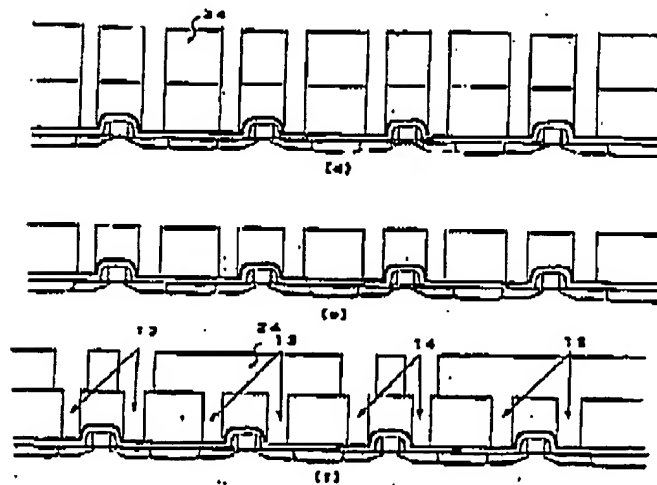
07 メタル配線  
103 第3導電層  
201 素子分離領域  
204, 205 低濃度不純物領域  
207, 208 高濃度不純物領域

211 后間絶縁膜  
217 配線層  
222 導電層  
223 絶縁層

【図1】

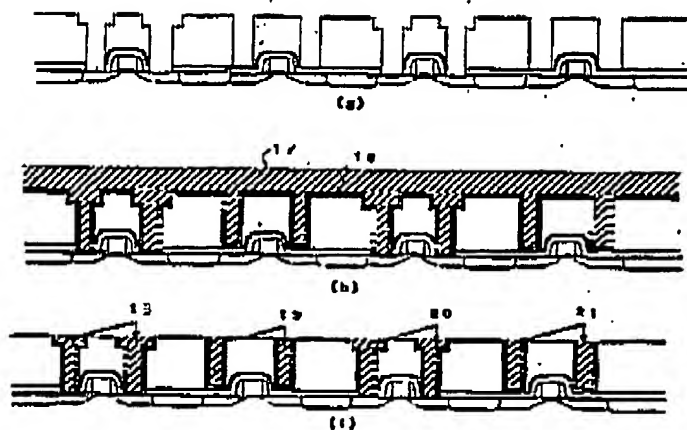


【図2】

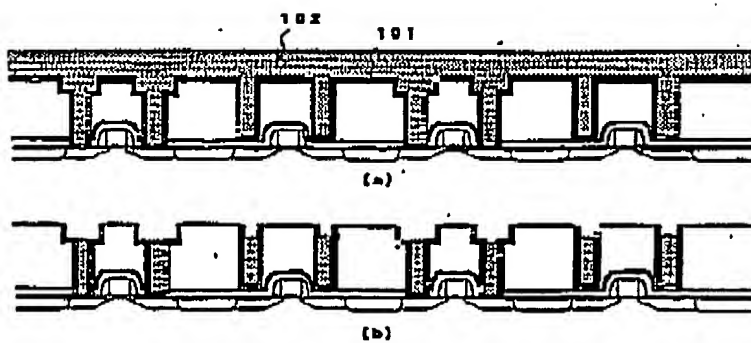


1(7) 001-176877 (P2001-176877A)

【图3】

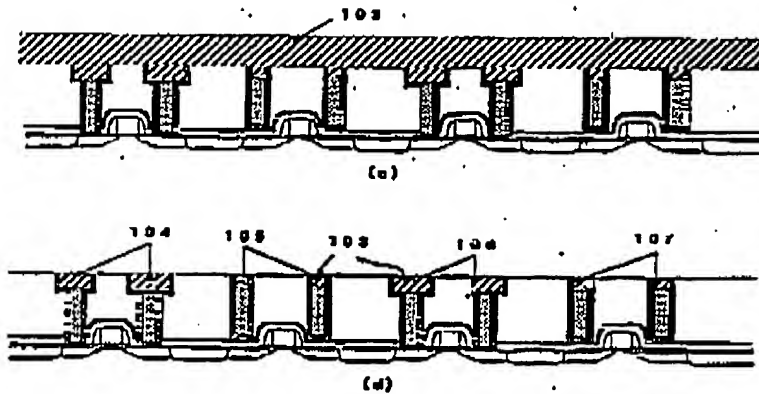


【图4】

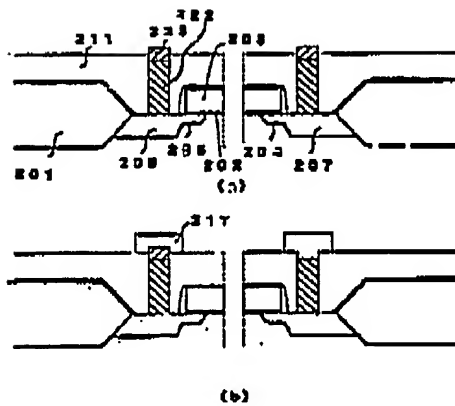


I(8) 001-176877 (P2001-176877A)

【図5】



【図6】



フロントページの続き

Pターム(参考) 5F033 HH07 HH08 HH11 HH12 HH18  
 HH19 HH21 HH32 HH33 HH34  
 HH35 JJ07 JJ11 JJ12 JJ18  
 JJ19 JJ21 JJ32 JJ33 JJ34  
 JJ35 KK01 MM02 MM12 NN06  
 PP06 PP15 PP27 PP28 QQ09  
 QQ13 QQ16 QQ25 QQ31 QQ37  
 QQ48 QQ74 QQ75 RR04 RR06  
 RR08 RR13 RR14 RR15 SS11  
 VV17 XX01



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**